

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-91534

(P2000-91534A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L	27/108	H 0 1 L 27/10	6 8 1 F 5 F 0 3 2
	21/8242	21/76	D 5 F 0 8 3
	21/762	27/10	6 2 1 C
	29/786	29/78	6 8 1 D
			6 1 3 B
審査請求 未請求 請求項の数 8 O L (全 17 頁)			

(21) 出願番号 特願平10-258342

(22) 出願日 平成10年9月11日 (1998.9.11)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 印部 貴之

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

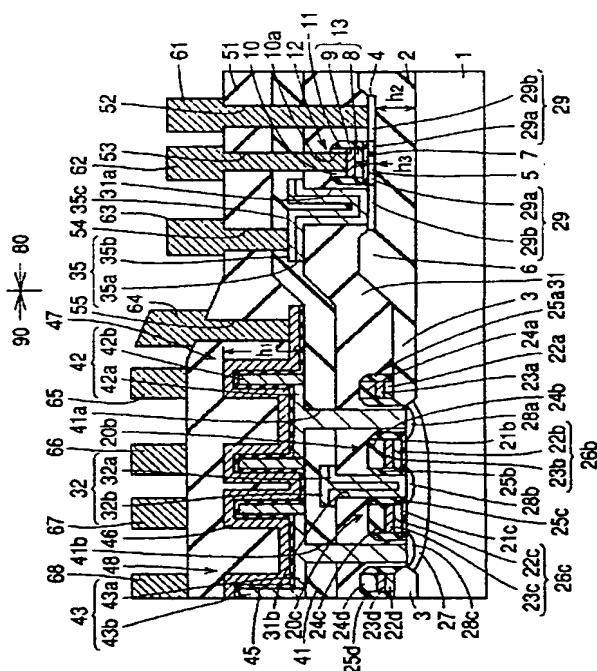
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 記憶領域とその記憶領域に隣接する周辺回路領域との段差が少なくかつ高速動作が可能な半導体装置を提供する。

【解決手段】 情報を記憶するためのメモリセル領域90と、メモリセル領域90に隣接するように設けられた周辺領域80とを備える。半導体装置は、半導体基板1と、メモリセル領域90内に設けられたトランジスタ20bおよび20cとキャパシタ47および48と、周辺領域80内でシリコン基板1の表面上に形成されたシリコン酸化膜2と、シリコン酸化膜2上に形成されたSOI層4と、SOI層4の上に形成されたトランジスタ12とを備える。



【特許請求の範囲】

【請求項1】 情報を記憶するための記憶領域と、前記記憶領域に隣接するように設けられた周辺回路領域とを備えた半導体装置であって、主表面を有する半導体基板と、前記記憶領域内で前記半導体基板の主表面上に形成された第1の素子群と、前記周辺回路領域内で前記半導体基板の主表面上に形成された絶縁層と、前記絶縁層の上に形成された半導体層と、前記半導体層の上に形成された第2の素子群とを備えた半導体装置。

【請求項2】 情報を記憶するための記憶領域と、前記記憶領域に隣接するように設けられたロジック領域とを備えた半導体装置であって、主表面を有する半導体基板と、前記記憶領域内で前記半導体基板の主表面上に形成された第1の素子群と、前記ロジック領域内で前記半導体基板の主表面上に形成された絶縁層と、前記絶縁層の上に形成された半導体層と、前記半導体層の上に形成された第2の素子群とを備えた半導体装置。

【請求項3】 前記第2の素子群は、電界効果トランジスタを含み、前記電界効果トランジスタは、互いに距離を隔てて前記半導体層に形成された1対の第1導電型のソース・ドレイン領域と、前記1対のソース・ドレイン領域の間の前記半導体層の部分に形成された第2導電型のチャネルドープ領域とを有する、請求項1または2に記載の半導体装置。

【請求項4】 前記第1の素子群の頂面の高さは、前記第2の素子群の頂面の高さよりも高い、請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】 前記第1の素子群はメモリ素子を含む、請求項1～4のいずれか1項に記載の半導体装置。

【請求項6】 前記メモリ素子はキャパシタである、請求項5に記載の半導体装置。

【請求項7】 前記キャパシタは円筒キャパシタである、請求項6に記載の半導体装置。

【請求項8】 前記キャパシタはスタックキャパシタである、請求項6に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関し、特に、情報を記憶するための記憶領域と、その記憶領域の周囲に設けられた領域とを有する半導体装置に関するものである。

【0002】

【従来の技術】従来、半導体装置として、DRAM (Dynamic Random Access Memory) が広く用いられている。

図29は従来のDRAMの断面図である。図29を参照して、従来のDRAMは、情報を記憶するメモリセル領域290と、メモリセル領域290の動作を制御する周辺領域280とを備える。

【0003】まず、メモリセル領域290について説明する。メモリセル領域290には、トランジスタ220bおよび220cと、キャパシタ247および248とが形成されている。

【0004】シリコン基板201上にトランジスタ220bおよび220cのしきい値電圧を制御するためのチャネルドープ領域227が形成されている。シリコン基板201の表面にはゲート酸化膜221bおよび221cを介在させてゲート電極226bおよび226cが形成されている。ゲート電極226bおよび226cは、リンがドープされたドーフトポリシリコン層222bおよび222cと、タングステンシリサイド層223bおよび223cにより構成される。ゲート電極226bおよび226cを覆うようにサイドウォール酸化膜225bおよび225cとシリコン酸化膜224bおよび224cが形成されている。

【0005】シリコン基板201の表面には分離酸化膜203が形成されており、分離酸化膜203の表面にもドーフトポリシリコン層222aおよび222dと、タングステンシリサイド層223aおよび223dと、サイドウォール酸化膜225aおよび225dと、シリコン酸化膜224aおよび224dが形成されている。

【0006】ゲート電極226bの両側には1対のソース・ドレイン領域228aおよび228bが形成されている。ゲート電極226cの両側には、1対のソース・ドレイン領域228bおよび228cが形成されている。

【0007】トランジスタ220bおよび220cを覆うようにシリコン酸化膜231が形成されている。シリコン酸化膜231には、コンタクトホール231bが設けられている。コンタクトホール231bには、ソース・ドレイン領域228bに達するビット線232が形成されている。ビット線232は、リンがドープされたドーフトポリシリコン層232aと、タングステンシリサイド層232bにより構成される。

【0008】ビット線232を覆うようにシリコン酸化膜241が形成されている。シリコン酸化膜241には、コンタクトホール241aおよび241bが形成されている。シリコン酸化膜241の表面にはキャパシタ247および248が形成されている。キャパシタ247は、ソース・ドレイン領域228aと接続されたストレージノード242と、誘電体膜245と、セルプレート246とにより構成される。キャパシタ248は、ソース・ドレイン領域228cに接続されたストレージノード243と、誘電体膜245と、セルプレート246とにより構成される。

【0009】ストレージノード242は、ソース・ドレイン領域228aに接続され、かつコンタクトホール241aを充填する第1部分242aと、第1部分242aに接続された第2部分242bにより構成される。ストレージノード243は、コンタクトホール241bを充填しかつソース・ドレイン領域228cに接続された第1部分243aと、第1部分243aに接続された第2部分243bにより構成される。

【0010】キャパシタ247および248を覆うようにシリコン酸化膜251が形成されている。シリコン酸化膜251にはコンタクトホール255が形成されており、コンタクトホール255を充填しかつセルプレート246に接する配線層264が形成されている。また、シリコン酸化膜251の表面には配線層265、266、267および268が互いに距離を隔てて形成されている。

【0011】次に、周辺領域280について説明する。シリコン基板201上にトランジスタ212が形成されている。トランジスタ212の両側には分離酸化膜203が形成されている。シリコン基板201にチャネルドープ領域205が形成されている。チャネルドープ領域205上にはゲート酸化膜207を介在させて、リンがドープされたドーフトポリシリコン層208とタングステンシリサイド層209とからなるゲート電極213が形成されている。

【0012】ゲート電極213の両側には、低濃度不純物領域229aと、高濃度不純物領域229bとからなる1対のソース・ドレイン領域229が形成されている。トランジスタ212を覆うようにシリコン酸化膜231が形成されており、シリコン酸化膜231はソース・ドレイン領域229に達するコンタクトホール231aを有する。コンタクトホール231aには、ドーフトポリシリコン層235aとタングステンシリサイド層235bからなる配線層235が形成されている。配線層235を覆うようにシリコン酸化膜241および251が形成されている。

【0013】シリコン酸化膜241および251には、ソース・ドレイン領域229に達するコンタクトホール252と、ゲート電極213に達するコンタクトホール253と、配線層235に達するコンタクトホール254が形成されている。コンタクトホール252、253および254を充填するように配線層261、262および263が形成されている。

【0014】次に、図29で示す半導体装置の製造方法について説明する。図30～図33は、図29で示す半導体装置の製造工程を示す断面図である。図30を参照して、シリコン基板201の表面にLOCOS (Local Oxidation of Silicon) 法により分離酸化膜203を形成する。シリコン基板203にp型の不純物イオンを注入することによりチャネルドープ領域205および22

7を形成する。シリコン基板203の表面に熱酸化膜を形成する。

【0015】熱酸化膜上に、リンがドープされたドーフトポリシリコン層と、タングステンシリサイド層と、シリコン酸化膜とを堆積し、このシリコン酸化膜上にレジストパターン281を形成する。レジストパターン281に従ってシリコン酸化膜、タングステンシリサイド層およびドーフトポリシリコン層を順次エッチングすることによりドーフトポリシリコン層208、222a、222b、222cおよび222dと、タングステンシリサイド層209、223a、223b、223cおよび223dと、シリコン酸化膜210、224a、224b、224cおよび224dとを形成する。

【0016】シリコン酸化膜210、224a、224b、224cおよび224dをマスクとしてシリコン基板201にn型の不純物イオンを注入することにより、低濃度不純物領域229aとソース・ドレイン領域228a、228bおよび228cを形成する。

【0017】図31を参照して、ドーフトポリシリコン層208、222a、222b、222cおよび222dとタングステンシリサイド層209、223a、223b、223cおよび223dとの側壁にサイドウォール酸化膜211、225a、225b、225cおよび225dを形成するとともに熱酸化膜311の一部分を除去してゲート酸化膜207、221b、221cを形成する。

【0018】シリコン基板201を覆うようにシリコン酸化膜231を形成する。シリコン酸化膜231上にレジストパターン282を形成し、このレジストパターン282に従ってシリコン酸化膜231をエッチングすることによりコンタクトホール231aおよび231bを形成する。

【0019】図32を参照して、コンタクトホール231a内にドーフトポリシリコン層235aとタングステンシリサイド層235bからなる配線層235を形成すると同時にコンタクトホール231b内にドーフトポリシリコン層232aとタングステンシリサイド層232bからなるビット線232を形成する。配線層235とビット線232とを覆うようにシリコン酸化膜241を形成し、シリコン酸化膜241に、写真製版工程に従ってコンタクトホール241aおよび241bを形成する。コンタクトホール241aおよび241bを充填しかつシリコン酸化膜241上に延びるようにストレージノード242および243を形成する。

【0020】図33を参照して、ストレージノード242および243を覆うように誘電体膜245およびセルプレート246を形成する。セルプレート246とシリコン酸化膜241とを覆うようにシリコン酸化膜251を形成し、シリコン酸化膜251上にレジストパターン283を形成する。レジストパターン283に従ってシ

リコン酸化膜251、241、231および210をエッチングすることによりコンタクトホール252、253、254および255を形成する。その後コンタクトホール252および253を充填するように配線層261および262を形成し、コンタクトホール254および255を充填するように配線層263および264を形成する。また、シリコン酸化膜251上に配線層265、266、267および268を形成して図29で示す半導体装置が完成する。

【0021】しかしながら、このような製造工程では、図33で示す工程において、メモリセル領域290にはキャパシタ247および248が存在し、周辺領域280にはキャパシタが存在しないため、メモリセル領域290の高さが高くなる。そのため、メモリセル領域290と周辺領域280の間でシリコン酸化膜251に大きな段差（高さは図32中のH₁：約650nm）251aが存在する。この段差により、周辺領域280でコンタクトホール252を形成するために最適なレジストの膜厚になるようにレジストを塗布すると、メモリセル領域290ではレジストの膜厚が薄くなる。そのため、コンタクトホール252形成時にメモリセル領域290上にレジストがなくなり、メモリセル領域290でシリコン酸化膜251がエッチングされてしまうことになる。

【0022】また、メモリセル領域290上で十分な膜厚となるようにレジストを塗布すると、周辺領域280でレジストの膜厚が厚くなりすぎパターンング不良を起こしやすい。さらに、レジストパターン283を露光して形成する際に、この段差部251aによりメモリセル領域290と周辺領域280とで焦点が一致しないという問題もある。

【0023】また近年、ロジック内にDRAMを搭載したembeddable DRAM（以下、eRAMと称する）が開発されている。このeRAMは低消費電力、高速システムが可能というメリットがあるため近年急速に普及している。このeRAMの断面も図28で示すようなものと同様であり、この場合、周辺領域280にロジックが形成される。このeRAMでも、周辺領域280とメモリセル領域290との間で段差が生じ、上述のような問題が生じていた。

【0024】

【発明が解決しようとする課題】この問題を解決するための半導体装置がたとえばIEDM 94 pp.927～929に記載されている。図34は上述の文献に記載された半導体装置の断面図である。図34を参照して、シリコン基板301には凹部302が形成されている。この凹部302内にメモリセル領域390が形成され、凹部302の外側に周辺領域380が形成されている。シリコン基板301の表面に分離酸化膜303が形成されている。

【0025】メモリセル領域390では、分離酸化膜303の間に互いに距離を隔ててソース・ドレイン領域3

28が形成されている。隣り合うソース・ドレイン領域328の間のシリコン基板301上にはゲート酸化膜321を介在させてドーパントシリコン層322とタングステンシリサイド層323からなるゲート電極が形成されている。ゲート電極を覆うようにシリコン酸化膜325が形成されており、シリコン酸化膜325には、ソース・ドレイン領域328に達するコンタクトホール325aが形成されている。コンタクトホール325aを充填するようにプラグ層334が形成されており、プラグ層334に接するように導電層332および333が形成されている。

【0026】分離酸化膜303上に導電層312および313が形成されており、導電層313および312を覆うようにシリコン酸化膜314が形成されている。シリコン酸化膜314上に導電層315および316が形成されている。導電層316および333上にはシリコン酸化膜331が形成されており、シリコン酸化膜331上には絶縁膜350およびシリコン酸化膜341が形成されている。シリコン酸化膜341にコンタクトホール341bが形成されており、コンタクトホール341bを充填するように導電層348が形成されている。

【0027】絶縁膜350にはコンタクトホール350aが形成されており、コンタクトホール350aを充填するようにプラグ層340、342および343が形成されている。プラグ層343と接するように絶縁膜350上にキャパシタのストレージノード344が形成されており、ストレージノード344上に誘電体膜345とセルプレート346が形成されている。セルプレート346上に導電層347が形成されており、導電層347を覆うようにシリコン酸化膜351が形成されている。シリコン酸化膜351上に配線層361および362が形成されている。

【0028】周辺領域380では、分離酸化膜303の間のシリコン基板301の表面にゲート酸化膜307を介在させて導電層308および309からなるゲート電極が形成されている。ゲート電極を覆うようにシリコン酸化膜310が形成されている。ゲート電極の両側には互いに距離を隔てて1対のソース・ドレイン領域329が形成されている。ソース・ドレイン領域329を覆うようにシリコン酸化膜341が形成されており、シリコン酸化膜341には、ソース・ドレイン領域329に達するコンタクトホール341aが形成されている。コンタクトホール341aを充填するように導電層371が形成されており、導電層371を覆うようにシリコン酸化膜351が形成されている。シリコン酸化膜351にはコンタクトホール351aが形成されており、コンタクトホール351aを充填するように配線層363が形成されている。

【0029】このように構成された半導体装置においては、キャパシタを有するメモリセル領域390がシリコ

ン基板303の凹部の内部に形成されているためメモリセル領域390と周辺領域380の高さの差は500nm以下となる。そのため、図28で示した半導体装置に比べてメモリセル領域390と周辺領域380との段差の高さが緩和され、上述のレジストの膜厚の不均一や、その不均一による焦点のばらつきといった問題が解消される。

【0030】しかしながら、図34で示した半導体装置でも以下のような問題が発生する。図35は上述の半導体装置で生じる問題点を説明するための断面図である。図35を参照して、シリコン基板301上には、図34と同様の凹部302、分離酸化膜303、ゲート酸化膜307および312、導電層308、309、322および323、シリコン酸化膜310および325、ソース・ドレイン領域328および329が形成されている。

【0031】ここで、導電層322および323から構成されるゲート電極を有するトランジスタのしきい値電圧を制御するための通常シリコン基板301にはp型のチャネルドープ領域372が形成される。導電層308および309からなるゲート電極を有するトランジスタのしきい値電圧を制御するために、シリコン基板301にp型のチャネルドープ領域371が形成される。

【0032】メモリセル領域390では、隣り合うソース・ドレイン領域328間でリーク電流が発生するのを防止するためにしきい値電圧を高くする必要がある。そのため、チャネルドープ領域372ではp型不純物濃度が比較的高くなる。このチャネルドープ領域372を作るのと同時にチャネルドープ領域371も形成されるため、チャネルドープ領域371でのp型不純物濃度も比較的高くなる。

【0033】そのため、高濃度のp型のチャネルドープ領域371とn型のソース・ドレイン領域329との間には、ソース・ドレイン領域329の底部329aや側部329bで大きな接合容量が発生する。周辺領域380のトランジスタには高速で動作することが要求されるが、このように大きな接合容量があるとトランジスタの動作速度が低下するという問題がある。

【0034】なお、図29で示す半導体装置でも、高濃度のp型のチャネルドープ領域205とn型のソース・ドレイン領域229が容量結合するので、トランジスタ212が高速で動作できないという問題があった。

【0035】そこで、この発明は、上述のような問題を解決するためになされたものであり、メモリセル領域と周辺領域との間の段差を低くし、かつ高速動作が可能な半導体装置を提供することを目的とするものである。

【0036】

【課題を解決するための手段】この発明の1つの局面に従った半導体装置は、情報を記憶するための記憶領域と、記憶領域に隣接するように設けられた周辺回路領域

とを備える。半導体装置は、半導体基板と、第1の素子群と、絶縁層と、半導体層と、第2の素子群とを備える。半導体基板は主表面を有する。第1の素子群は記憶領域内で半導体基板の主表面上に形成される。絶縁層は周辺回路領域内で半導体基板の主表面上に形成される。半導体層は絶縁層の上に形成される。第2の素子群は半導体層の上に形成される。

【0037】このように構成された半導体装置においては、第1の素子群は半導体基板の主表面上に形成され、第2の素子群は半導体基板の主表面上に絶縁層を介在させて半導体層上に形成される。そのため、絶縁層と半導体層の高さを適切に設定することにより第1の素子群の高さと第2の素子群の高さとをほぼ等しくすることができる。その結果、第1の素子群と第2の素子群との間の段差を低くすることができる。

【0038】また、第2の素子用に異なる導電型の複数の不純物層を半導体層に形成しても、異なる導電型層の不純物層間での不要な接合容量が形成されない。そのため、第2の素子の動作速度を速くすることができる。

【0039】この発明の別の局面に従った半導体装置は、情報を記憶するための記憶領域と、記憶領域に隣接するように設けられたロジック領域とを備える。半導体装置は、半導体基板と、第1の素子群と、絶縁層と、半導体層と、第2の素子群とを備える。半導体基板は主表面を有する。第1の素子群は記憶領域内で半導体基板の主表面上に形成される。絶縁層はロジック領域内で半導体基板の主表面上に形成される。半導体層は絶縁層の上に形成される。第2の素子群は半導体層の上に形成される。

【0040】このように構成された半導体装置においては、第1の素子群は半導体基板の主表面上に形成され、第2の素子群は半導体基板の主表面上に絶縁層を介在させて半導体層上に形成される。そのため、絶縁層と半導体層の高さを適切に設定することにより、第1の素子群の高さと第2の素子群の高さをほぼ等しくすることができる。その結果、第1の素子群と第2の素子群との間での段差を低くすることができる。

【0041】また、第2の素子用に異なる導電型の複数の不純物層を半導体層に形成しても異なる導電型の不純物層間には不要な接合容量が形成されない。そのため、第2の素子の動作速度を速くすることができる。

【0042】第2の素子群は、電界効果トランジスタを含み、電界効果トランジスタは、互いに距離を隔てて半導体層に形成された1対の第1導電型のソース・ドレイン領域と、1対のソース・ドレイン領域の間の半導体層の部分に形成された第2導電型のチャネルドープ領域とを有することが好ましい。この場合、チャネルドープ領域とソース・ドレイン領域とはソース・ドレイン領域の側面で接するだけであり、ソース・ドレイン領域の底面は半導体層下の絶縁層に接する。そのため、ソース・ド

レイン領域とチャネルドープ領域とがソース・ドレイン領域の底部と側部で接する場合に比べて接合容量が小さくなり、電界効果トランジスタの動作速度を向上させることができる。

【0043】また、第1の素子群の頂面の高さは第2の素子群の頂面の高さよりも高いことが好ましい。

【0044】第1の素子群はメモリ素子を含むことが好ましい。メモリ素子はキャパシタであることが好ましい。

【0045】また、キャパシタは円筒キャパシタであることが好ましい。この場合、円筒キャパシタにより第1の素子群の高さが高くなったとしても絶縁層と半導体層の高さを調整することにより第1の素子群の高さと第2の素子群の高さを調整することができる。

【0046】また、キャパシタはスタックキャパシタであることが好ましい。この場合、スタックキャパシタにより第1の素子群の高さが高くなっても絶縁層と半導体層の高さを調整することにより第1の素子群と第2の素子群の高さをほぼ等しくすることができる。

【0047】

【発明の実施の形態】以下、この発明の実施の形態について説明する。

【0048】（実施の形態1）図1は、この発明の実施の形態1に従った半導体装置の断面図である。図1を参照して、半導体基板としてのシリコン基板1の上に、情報を記憶する記憶領域としてのメモリセル領域90と、メモリセル領域90に隣接するように設けられた周辺領域80とを備える。周辺領域80は、DRAMの周辺回路領域またはeRAMのロジック領域として機能する。

【0049】シリコン基板1の主表面上のメモリセル領域90内には、第1の素子群としてのトランジスタ20bおよび20cならびにキャパシタ47および48が形成されている。

【0050】p型のシリコン基板1の表面には、分離酸化膜3と、シリコン酸化膜2および6とが互いに連なるように形成されている。シリコン基板1の表面の部分には高濃度のp型のチャネルドープ領域27が形成されている。チャネルドープ領域27の上には、ゲート酸化膜21bおよび21cを介在させて一方に延びるように1対のゲート電極26bおよび26cが互いに距離を隔てて形成されている。

【0051】ゲート電極26bは、リングがドープされたドーフトポリシリコン層22bと、タングステンシリサイド層23bとにより構成される。以下、特にことわらない限り、「ドーフトポリシリコン」というときは、リングが $5 \times 10^{20} / \text{cm}^3$ 程度の濃度でドープされたポリシリコンをいう。ゲート電極26cは、リングがドープされたドーフトポリシリコン層22cと、タングステンシリサイド層23cとにより構成される。隣り合うゲート電極26bおよび26c間の距離は約0.2~0.3μ

m程度である。

【0052】ゲート電極26bおよび26cの上にはシリコン酸化膜24bおよび24cが形成されている。ゲート電極26bおよび26cの側壁には、サイドウォール酸化膜25bおよび25cが形成されている。

【0053】メモリセル領域90内で、分離酸化膜3上にドーフトポリシリコン層22aおよび22dと、タングステンシリサイド層23aおよび23dとシリコン酸化膜24aおよび24dと、サイドウォール酸化膜25aおよび25dが形成されている。

【0054】ゲート電極26bの両側には、互いに距離を隔ててn型のソース・ドレイン領域28aおよび28bが形成されている。ゲート電極26cの両側には、互いに距離を隔てて1対のn型のソース・ドレイン領域28bおよび28cが形成されている。

【0055】トランジスタ20bおよび20cを覆うようにシリコン酸化膜31が形成されている。シリコン酸化膜31には、ソース・ドレイン領域28bに達するコンタクトホール31bが形成されている。コンタクトホール31bを充填するようにビット線32が形成されている。ビット線32は、コンタクトホール31bの側面とソース・ドレイン領域28bに接するドーフトポリシリコン層32aと、ドーフトポリシリコン層32aに接するタングステンシリサイド層32bとにより構成される。

【0056】ビット線32を覆うようにシリコン酸化膜41が形成されている。シリコン酸化膜41には、ソース・ドレイン領域28aおよび28cに達するコンタクトホール41aおよび41bが形成されている。コンタクトホール41aおよび41bを充填し、かつシリコン酸化膜41から遠ざかる方向へ延びるようにキャパシタのストレージノード42および43が形成されている。ストレージノード42および43は、コンタクトホール41aおよび41bを充填し、かつソース・ドレイン領域28aおよび28cに接する第1部分42aおよび43aと、第1部分42aおよび43aに接する円筒状の第2部分42bおよび43bとを有する。第1部分42aおよび43aと、第2部分42bおよび43bはともにドーフトポリシリコンからなる。

【0057】ストレージノード42および43の表面を覆うようにシリコン窒化膜からなる誘電体膜45が形成されている。シリコン窒化膜45を覆うようにドーフトポリシリコンからなるセルプレート46が形成されている。セルプレート46を覆うようにシリコン酸化膜51が形成されており、シリコン酸化膜51には、セルプレート46に達するコンタクトホール55が形成されている。コンタクトホール55を充填するようにアルミニウム合金からなる配線層64が形成されている。また、シリコン酸化膜51の表面にアルミニウム合金からなる配線層65、66、67および68が互いに距離を隔てて

形成されている。

【0058】周辺領域80では、シリコン基板1上に絶縁層としてのシリコン酸化膜(埋込酸化膜)2が形成されている。シリコン酸化膜2と分離酸化膜3との間にはシリコン酸化膜6が形成されている。シリコン酸化膜2の上にはSOI (Silicon OnInsulator) 層4が形成されている。SOI層4上に電界効果型のトランジスタ12が形成されている。

【0059】図2は、図1中のトランジスタ12を拡大して示す図である。図1および2を参照して、SOI層4上には、ゲート酸化膜7を介在させてゲート電極13が形成されている。ゲート電極13は、ゲート酸化膜7と接し、ドーフトポリシリコンからなるドーフトポリシリコン層8と、そのドーフトポリシリコン層8上に形成されたタングステンシリサイド層9により構成される。

【0060】タングステンシリサイド層9を覆うようにシリコン酸化膜10が形成され、ゲート電極13の側壁にはサイドウォール酸化膜11が形成されている。ゲート電極13の両側のSOI層4の部分には互いに距離を隔てて1対のソース・ドレイン領域29が形成されている。ソース・ドレイン領域29はn型の低濃度不純物領域29aと、n型の高濃度不純物領域29bとにより構成される。隣り合うソース・ドレイン領域29の間には、p型のチャネルドープ領域5が形成されている。トランジスタ12は、ゲート電極13と、1対のソース・ドレイン領域29により構成される。

【0061】再び図1を参照して、トランジスタ12を覆うようにシリコン酸化膜31が形成されている。シリコン酸化膜31には、ソース・ドレイン領域29に達するコンタクトホール31aが形成されている。コンタクトホール31aには、配線層35が形成されている。配線層35は、ドーフトポリシリコン層35aと、タングステンシリサイド層35bにより構成される。

【0062】配線層35を覆うようにシリコン酸化膜41が形成されている。シリコン酸化膜41を覆うようにシリコン酸化膜51が形成されている。シリコン酸化膜51には、ソース・ドレイン領域29に達するコンタクトホール52と、ゲート電極13に達するコンタクトホール53と、配線層35に達するコンタクトホール54とが形成されている。

【0063】コンタクトホール52を充填してソース・ドレイン領域29に接するようにアルミニウム合金からなる配線層61が形成されている。コンタクトホール53を充填しゲート電極13に接するようにアルミニウム合金からなる配線層62が形成されている。コンタクトホール54を充填し配線層35に接するようにアルミニウム合金からなる配線層63が形成されている。第1の素子群としてのキャパシタ42および43の頂面(セルプレート46の表面46a)の高さは第2の素子群としてのトランジスタ12および配線層35の表面35cの

高さよりも高い。

【0064】キャパシタ42および43の高さ(図1中の h_1)は約650nmであり、絶縁層としてのシリコン酸化膜2の厚さ(図1中の h_2)は約200nmであり、SOI層4の厚さ(図1中の h_3)は約100nmである。

【0065】このように構成された半導体装置においては、周辺領域80では、シリコン酸化膜2と、SOI層4とが存在するため、周辺領域80とメモリセル領域90との間の段差の高さは約350nm($=h_1-h_2-h_3$)となり、シリコン酸化膜2とSOI層4とがない場合に比べて段差の高さを低くすることができる。

【0066】また、図2で示すように、SOI層4にトランジスタ12が形成され、このトランジスタのソース・ドレイン領域29とチャネルドープ領域5とは、ソース・ドレイン領域29の側部29dでは接するがソース・ドレイン領域29の底部29cでは接しない。そのため、ソース・ドレイン領域29とチャネルドープ領域5との間の接合容量が小さくなり、トランジスタ12の動作速度が速くなる。

【0067】次に、図1で示す半導体装置の製造方法について説明する。図3～図23は、図1で示す半導体装置の製造工程を示す断面図である。

【0068】図3を参照して、p型のシリコン基板1に酸素イオンを注入して厚さ約200nmのシリコン酸化膜2を形成する。また、シリコン基板1の表面をシリコン半導体層102とする。シリコン半導体層102の厚さは約100nmである。熱酸化法でシリコン半導体層102の表面に厚さが約10nmの熱酸化膜を形成する。CVD (Chemical Vapor Deposition) 法で熱酸化膜上に厚さ約50nmのシリコン窒化膜を形成する。シリコン窒化膜上に所定のパターンを有するレジストパターンを形成し、このレジストパターンに従ってシリコン窒化膜と熱酸化膜とをエッチングすることによりシリコン窒化膜104と熱酸化膜103とを形成する。

【0069】図4を参照して、メモリセル領域90においてシリコン半導体層102を熱酸化してシリコン酸化膜6を選択的に形成した後にシリコン窒化膜104を除去する。これにより、周辺領域80にSOI層4を形成する。

【0070】図5を参照して、周辺領域80にレジストパターンを形成し、このレジストパターンに従ってシリコン酸化膜6を等方性エッチングすることによりメモリセル領域90の部分でシリコン酸化膜6を取り除く。

【0071】図6を参照して、シリコン基板1の表面およびSOI層4の表面に熱酸化法により厚さ約10nmの熱酸化膜を形成する。熱酸化膜上にCVD法により厚さ約50nmのシリコン窒化膜を形成する。シリコン窒化膜上に所定のパターンを有するレジストパターンを形成し、このレジストパターンに従ってシリコン窒化膜と

熱酸化膜とをエッチングする。これにより、シリコン窒化膜109と熱酸化膜108とを形成する。

【0072】図7を参照して、熱酸化法で厚さが約300nm程度の分離酸化膜3を選択的に形成する。その後シリコン窒化膜109を除去する。

【0073】図8を参照して、シリコン基板1およびSOI層4に矢印110で示す方向にボロンをイオン注入することにより、p型のチャネルドープ領域5および27を形成する。

【0074】図9を参照して、トランジスタのゲート酸化膜となる厚さが約9nmの熱酸化膜111を熱酸化法で形成する。熱酸化膜111上にリンが $5 \times 10^{20}/\text{cm}^3$ 程度の濃度でドープされた、厚さが約50nmのドーフトポリシリコン層112をCVD法で形成する。ドーフトポリシリコン層112上に厚さが約50nmのタングステンシリサイド層113をCVD法で形成する。タングステンシリサイド層113上に厚さ約100nmのシリコン酸化膜114をCVD法により形成する。このシリコン酸化膜はポリサイドゲート形成時のエッチングマスクの役割をする。

【0075】図10を参照して、シリコン酸化膜114上に所定のパターンを有するレジストパターンを形成する。レジストパターンに従ってシリコン酸化膜114、タングステンシリサイド層113およびドーフトポリシリコン層112をエッチングする。これにより、シリコン酸化膜10、24a、24b、24cおよび24dと、タングステンシリサイド層9、23a、23b、23cおよび23dと、ドーフトポリシリコン層8、22a、22b、22cおよび22dとを形成する。ゲート電極26bおよび26cのゲート長は0.2 μm ~0.3 μm である。シリコン基板1とSOI層4とに矢印116で示す方向にリンを注入量約 $1 \times 10^{13}/\text{cm}^2$ でイオン注入することにより、SOI層4に低濃度不純物領域29aを形成し、シリコン基板1にソース・ドレイン領域28a、28bおよび28cを形成する。

【0076】図11を参照して、CVD法によりシリコン基板1の表面に厚さ約80nmのシリコン酸化膜を形成する。このシリコン酸化膜はLDD (Lightly Doped Drain) 構造を有するトランジスタのサイドウォールの役割を果たす。シリコン酸化膜を異方性エッチングすることにより、幅が約80nmのサイドウォール酸化膜11、25a、25b、25cおよび25dを形成する。

【0077】図12を参照して、メモリセル領域90にレジストパターン119を形成する。矢印117で示す方向に注入量約 $5 \times 10^{15}/\text{cm}^2$ でSOI層4に砒素をイオン注入することにより、高濃度不純物領域29bを形成する。低濃度不純物領域29aと高濃度不純物領域29bとがソース・ドレイン領域29となる。

【0078】図13を参照して、トランジスタ12、20bおよび20cを覆うようにCVD法により厚さが約

400nmのシリコン酸化膜31を形成する。

【0079】図14を参照して、シリコン酸化膜31上に所定のパターンを有するレジストパターン120を形成する。レジストパターン120に従って、シリコン酸化膜31をエッチングすることにより、ソース・ドレイン領域29および28bに達するコンタクトホール31aおよび31bを形成する。コンタクトホール31aおよび31bの直径は約0.2~0.3 μm である。

【0080】図15を参照して、コンタクトホール31aおよび31bを覆うようにシリコン酸化膜31上にドーフトポリシリコン層を形成する。このドーフトポリシリコン層上にCVD法によりタングステンシリサイド層を形成する。タングステンシリサイド層上に所定のパターンを有するレジストパターン121を形成する。レジストパターン121に従ってタングステンシリサイド層とドーフトポリシリコン層とをエッチングすることにより、配線層35とビット線32とを形成する。配線層35はドーフトポリシリコン層35aとタングステンシリサイド層35bにより構成され、ビット線32は、タングステンシリサイド層32aとドーフトポリシリコン層32bにより構成される。なお、ビット線32の幅は0.2~0.3 μm 程度である。

【0081】図16を参照して、厚さが約300nmのシリコン酸化膜41をシリコン酸化膜31上に形成する。このシリコン酸化膜41は、TEOS (Tetra Ethyl Ortho Silicate) などを原料とした、リンを含まないシリコン酸化膜とすることが望ましい。

【0082】図17を参照して、シリコン酸化膜41上に所定のパターンを有するレジストパターン122を形成する。レジストパターン122に従って、シリコン酸化膜31および41をエッチングすることにより、ソース・ドレイン領域28aに達するコンタクトホール41aと、ソース・ドレイン領域28cに達するコンタクトホール41bとを形成する。コンタクトホール41aおよび41bの直径は約0.2 μm 程度である。このコンタクトホール41aおよび41bは、キャパシタの下部電極であるストレージノードと、シリコン基板1とを接続するための役割を果たす。

【0083】図18を参照して、コンタクトホール41aおよび41bを充填し、かつ、シリコン酸化膜41の表面からの厚さが約150nmのドーフトポリシリコン層をCVD法により形成する。ドーフトポリシリコン層上にリンを含んだシリコン酸化膜であるPSG (Phospho Silicate Glass) をCVD法により形成する。PSGの厚さは約500nmである。なお、PSGでなく、リンを含まない酸化膜（たとえばTEOSを原料とした酸化膜）をこの工程で用いると後の工程で円筒形状のキャパシタを形成する際に、この酸化膜と下地のシリコン酸化膜41とのエッチングの選択比が小さくなるため望ましくない。PSG上に所定のパターンを有するレジスト

パターン123を形成し、レジストパターン123に従ってPSGとドーフトポリシリコン層とをエッチングする。これにより、PSG層130とキャパシタの第1部分42aおよび43bを形成する。図19を参照して、PSG層130とシリコン酸化膜41とを覆うように厚さが約100nmのドーフトポリシリコン層を形成する。このドーフトポリシリコン層を異方性エッチングすることによりPSG層130の側面に円筒キャパシタの第2部分42bおよび43bを形成する。これにより、ストレージノード42および43が完成する。

【0084】図20を参照して、キャパシタの芯の部分のPSG層130を等方性気相エッチングにより取り除く。

【0085】図21を参照して、ストレージノード42および43を覆うようにキャパシタの誘電体膜となるシリコン窒化膜を形成する。シリコン窒化膜の厚さは約6nmである。シリコン窒化膜上にキャパシタのセルプレートとなるドーフトポリシリコン層を形成する。ドーフトポリシリコン層の厚さは約150nmである。ドーフトポリシリコン層上に所定のパターンを有するレジストパターン125を形成する。レジストパターン125に従ってドーフトポリシリコン層とシリコン窒化膜とをエッチングすることによりセルプレート46と誘電体膜45とを形成する。これにより、キャパシタ47および48が完成する。

【0086】図22を参照して、厚さが約500nmのBPSG(Boro Phospho Silicate Glass)からなるシリコン酸化膜51をCVD法により形成する。その後、窒素雰囲気中で温度を850℃としてシリコン酸化膜51に熱処理を30分間施し、シリコン酸化膜51の表面形状を滑らかにする。

【0087】図23を参照して、シリコン酸化膜51上に所定のパターンを有するレジストパターン126を形成する。このとき、シリコン酸化膜2の厚さ(h_2)が約200nmであり、SOI層4の厚さ(h_3)が約100nmであり、キャパシタ47および48の高さ(h_1)が約650nmであるため、周辺領域80とメモリセル領域90との間の段差の高さは最大でも350nm程度となる。レジストパターン126に従ってシリコン酸化膜10、31、41および51をエッチングすることにより、コンタクトホール52、53、54および55を形成する。

【0088】コンタクトホール52、53、54および55を充填するようにスパッタリング法でアルミニウム合金層を堆積する。シリコン酸化膜51の表面から測ったアルミニウム合金層の高さは約500nmである。アルミニウム合金層上に所定のパターンを有するレジストパターンを形成し、このレジストパターンに従ってアルミニウム合金層をエッチングする。これにより、配線層61、62、63、64、65、66、67および68

を形成して、図1で示す半導体装置が完成する。

【0089】このような半導体装置においては、図22に示す工程においてメモリセル領域90および周辺領域80を覆うようにレジストを塗布した際、メモリセル領域90と周辺領域80との間の段差は350nmである。この程度の段差であれば、周辺領域80でコンタクトホールを形成するための最適なレジストの膜厚を選択してもメモリセル領域90上でレジストの膜厚が不足することはない。したがって、エッチング時にキャパシタ47および48上のシリコン酸化膜51がエッチングされることはない。さらにこの程度の段差であれば、メモリセル領域90と周辺領域80とで露光時の焦点がバラつくことはない。また、アルミニウム合金からなる配線層61、62、63、64、65、66、67および68を形成する際にアルミニウム合金層上にレジストを塗布する。この際にも段差が小さいためにパターンング不良が起こらない。

【0090】(実施の形態2)図24は、この発明の実施の形態2に従った半導体装置の断面図である。図23を参照して、この実施の形態に従った半導体装置は、キャパシタ147および148の形状が図1で示す半導体装置のキャパシタ47および48の形状と異なる。つまり、図1では、キャパシタ47および48は円筒形状であったのに対し、図23で示す半導体装置では、キャパシタ147および148は、円筒形状でなく円柱形状である。このストレージノード142および143上にシリコン窒化膜からなる誘電体膜145およびドーフトポリシリコンからなるセルプレート146が形成されている。

【0091】このように構成された半導体装置においては図1で示す半導体装置と同様の効果がある。

【0092】次に、図24で示す半導体装置の製造方法について説明する。図25～図28は、図24で示す半導体装置の製造工程を示す断面図である。図25を参照して、まず、実施の形態1の図3～図17に従って、シリコン基板1上にシリコン酸化膜2および6、分離酸化膜3、SOI層4、ゲート酸化膜7、21bおよび21c、ゲート電極13、26b、26c、ドーフトポリシリコン層22a、22d、タングステンシリサイド層23aおよび23d、サイドウォール酸化膜11、25a、25b、25cおよび25d、シリコン酸化膜10、24a、24b、24cおよび24d、シリコン酸化膜31および41、ビット線32、配線層35、コンタクトホール41aおよび41bを形成する。

【0093】コンタクトホール41aおよび41bを充填してソース・ドレイン領域28aおよび28cに接するようにドーフトポリシリコン層を形成する。シリコン酸化膜41の表面から測定したドーフトポリシリコン層の高さは約700nmである。ドーフトポリシリコン層上に所定のパターンを有するレジストパターン151を

形成する。レジストパターン151に従ってドーフトポリシリコン層をエッチングすることにより、キャパシタのストレージノード142および143を形成する。

【0094】図26を参照して、ストレージノード142および143を覆うようにCVD法により厚さ約6nmのシリコン窒化膜を形成する。シリコン窒化膜上に厚さ約150nmのドーフトポリシリコン層をCVD法により形成する。ドーフトポリシリコン層上に所定のパターンを有するレジストパターン153を形成する。レジストパターン153に従ってドーフトポリシリコン層とシリコン窒化膜とをエッチングすることにより、ドーフトポリシリコンからなるセルプレート146と、シリコン窒化膜からなる誘電体膜145を形成する。これにより、キャパシタ147および148が完成する。

【0095】図27を参照して、キャパシタ147および148を覆うように厚さが約500nmのBPSGをCVD法により堆積して、シリコン酸化膜51を形成する。その後、窒素雰囲気中で温度850℃で熱処理を30分間施し、シリコン酸化膜51の表面を滑らかにする。

【0096】図28を参照して、シリコン酸化膜51上に所定のパターンを有するレジストパターン155を形成する。このとき、キャパシタの高さ（図27中の h_4 ）は約800nmである。レジストパターン155をマスクとして、シリコン酸化膜10、31、41および51をエッチングすることにより、コンタクトホール52、53、54および55を形成する。

【0097】最後に配線層61、62、63、64、65、66、67および68を形成して図24で示す半導体装置が完成する。

【0098】このような工程に従えば、図27で示す工程においてレジストパターン155を形成する際にメモリセル領域90と周辺領域80との間の段差の高さが小さくなるため、このシリコン酸化膜51上に塗布したレジストの膜厚が比較的均一となる。その結果、周辺領域80でコンタクトホール52および53を形成するのにレジストの膜厚を最適な厚さとしても、キャパシタ147および148上でのレジストの厚さが薄くなることがない。

【0099】以上、この発明の実施の形態について説明したが、ここで示した実施の形態はさまざまに変形することが可能である。まず、実施の形態ではキャパシタがビット線よりも上にあるような構造としたが、ビット線がキャパシタより上にある構造としてもよい。

【0100】また、メモリセル領域90には、キャパシタを有するDRAMが形成されていたが、DRAMでなく、SRAM (Static Random Access Memory) やEEPROM (Electrically Erasable and Programmable Read Only Memory) がメモリセル領域90に形成されていてもよい。

【0101】さらに、ストレージノード42および43とセルプレート46とをドーフトポリシリコンで構成し、誘電体膜45をシリコン酸化窒化膜 (SiON) で構成してもよい。また、ストレージノード42および43をドーフトポリシリコンで構成し、誘電体膜45をTa₂O₅で構成し、セルプレート46をTiNで構成してもよい。

【0102】また、ストレージノード142および143とセルプレート146とをドーフトポリシリコンで構成し、誘電体膜145をシリコン酸化窒化膜で構成してもよい。また、ストレージノード142および143とセルプレート146とをルテニウムで構成し、誘電体膜145をBST (チタン酸バリウムストロンチウム) 膜で構成してもよい。また、ストレージノード142および143とセルプレート146を白金で構成し、誘電体膜145をBST膜で構成してもよい。さらに、ストレージノード142および143を白金で構成し、誘電体膜145をBST膜で構成し、セルプレート146をルテニウムで構成してもよい。

【0103】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0104】

【発明の効果】請求項1、3～8に記載の発明によれば、記憶領域内の第1の素子群と周辺回路領域内での第2の素子群との段差が小さく、かつ高速動作が可能な半導体装置を提供できる。

【0105】請求項2に記載の発明によれば、記憶領域内の第1の素子群とロジック領域内での第2の素子群との段差が少なく、かつ高速動作が可能な半導体装置を提供できる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に従った半導体装置の断面図である。

【図2】 図1中のトランジスタを拡大して示す図である。

【図3】 図1で示す半導体装置の製造方法の第1工程を示す断面図である。

【図4】 図1で示す半導体装置の製造方法の第2工程を示す断面図である。

【図5】 図1で示す半導体装置の製造方法の第3工程を示す断面図である。

【図6】 図1で示す半導体装置の製造方法の第4工程を示す断面図である。

【図7】 図1で示す半導体装置の製造方法の第5工程を示す断面図である。

【図8】 図1で示す半導体装置の製造方法の第6工程

を示す断面図である。

【図 9】 図 1 で示す半導体装置の製造方法の第 7 工程を示す断面図である。

【図 10】 図 1 で示す半導体装置の製造方法の第 8 工程を示す断面図である。

【図 11】 図 1 で示す半導体装置の製造方法の第 9 工程を示す断面図である。

【図 12】 図 1 で示す半導体装置の製造方法の第 10 工程を示す断面図である。

【図 13】 図 1 で示す半導体装置の製造方法の第 11 工程を示す断面図である。

【図 14】 図 1 で示す半導体装置の製造方法の第 12 工程を示す断面図である。

【図 15】 図 1 で示す半導体装置の製造方法の第 13 工程を示す断面図である。

【図 16】 図 1 で示す半導体装置の製造方法の第 14 工程を示す断面図である。

【図 17】 図 1 で示す半導体装置の製造方法の第 15 工程を示す断面図である。

【図 18】 図 1 で示す半導体装置の製造方法の第 16 工程を示す断面図である。

【図 19】 図 1 で示す半導体装置の製造方法の第 17 工程を示す断面図である。

【図 20】 図 1 で示す半導体装置の製造方法の第 18 工程を示す断面図である。

【図 21】 図 1 で示す半導体装置の製造方法の第 19 工程を示す断面図である。

【図 22】 図 1 で示す半導体装置の製造方法の第 20 工程を示す断面図である。

【図 23】 図 1 で示す半導体装置の製造方法の第 21 工程を示す断面図である。

工程を示す断面図である。

【図 24】 この発明の実施の形態 2 に従った半導体装置の断面図である。

【図 25】 図 24 で示す半導体装置の製造方法の第 1 工程を示す断面図である。

【図 26】 図 24 で示す半導体装置の製造方法の第 2 工程を示す断面図である。

【図 27】 図 24 で示す半導体装置の製造方法の第 3 工程を示す断面図である。

【図 28】 図 24 で示す半導体装置の製造方法の第 4 工程を示す断面図である。

【図 29】 従来の DRAM の断面図である。

【図 30】 図 29 で示す半導体装置の製造方法の第 1 工程を示す断面図である。

【図 31】 図 29 で示す半導体装置の製造方法の第 2 工程を示す断面図である。

【図 32】 図 29 で示す半導体装置の製造方法の第 3 工程を示す断面図である。

【図 33】 図 29 で示す半導体装置の製造方法の第 4 工程を示す断面図である。

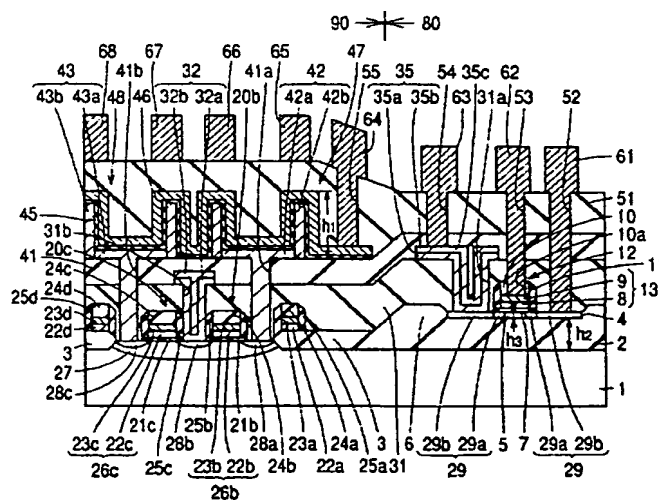
【図 34】 改良された従来の半導体装置の断面図である。

【図 35】 図 34 で示す半導体装置で生じる問題点を説明するための断面図である。

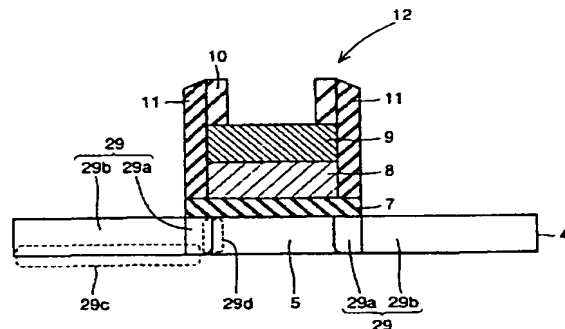
【符号の説明】

1 シリコン基板、2 シリコン酸化膜、4 SOI 層、12、20b、20c トランジスタ、47、48 キャパシタ、80 周辺領域、90 メモリセル領域。

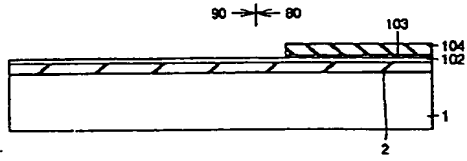
【図 1】



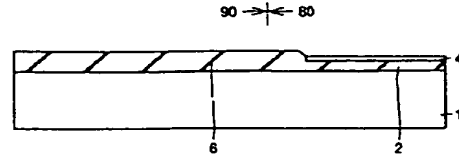
【図 2】



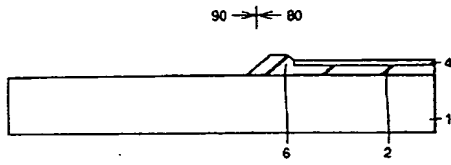
【図3】



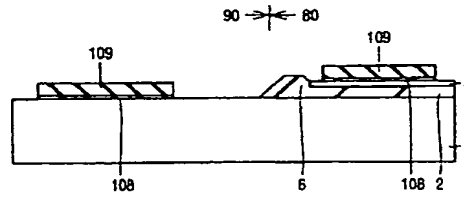
【図4】



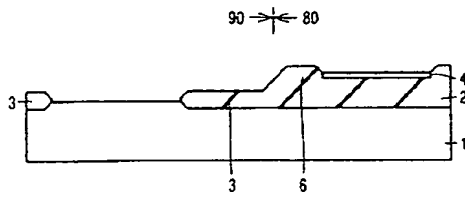
【図5】



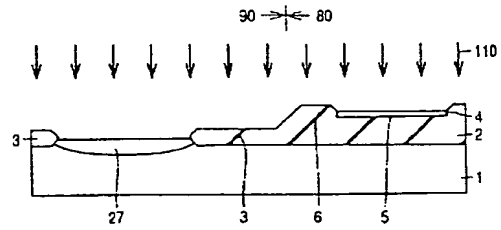
【図6】



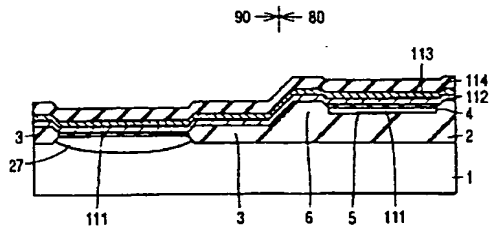
【図7】



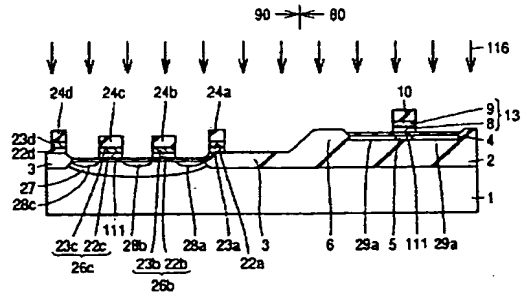
【図8】



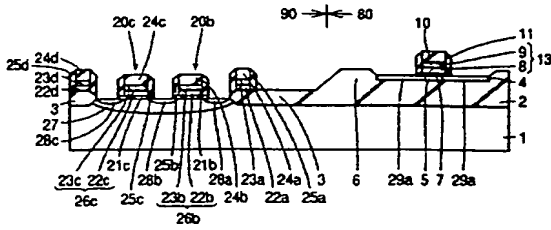
【図9】



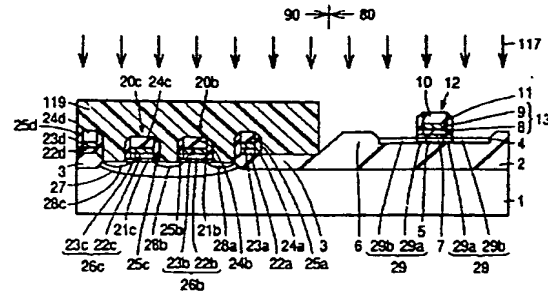
【図10】



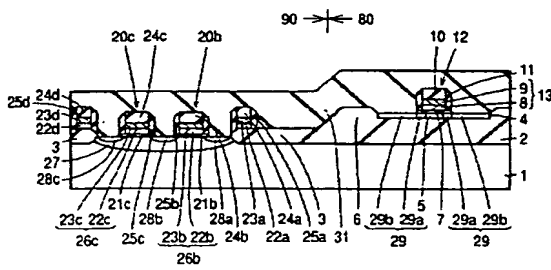
【図 11】



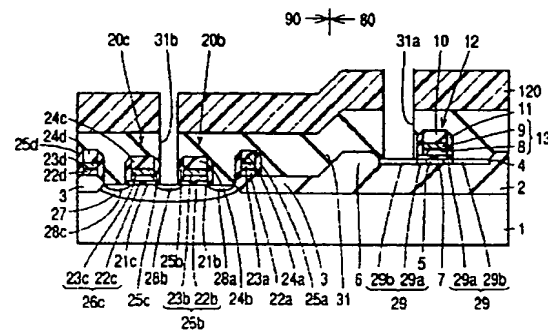
【図 12】



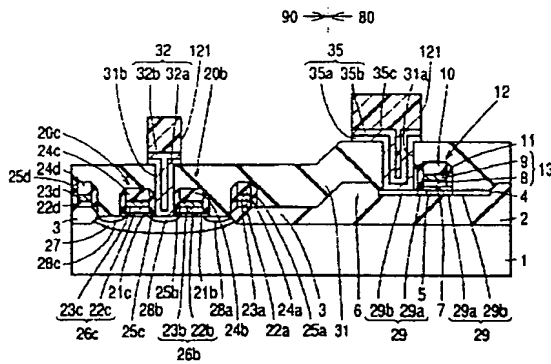
【図 13】



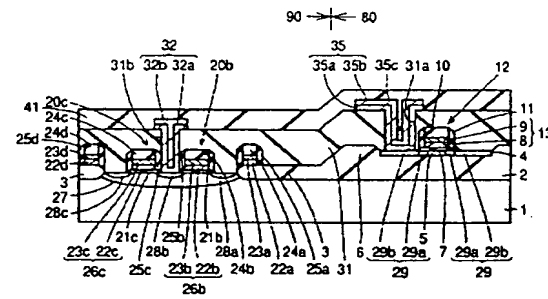
【図 14】



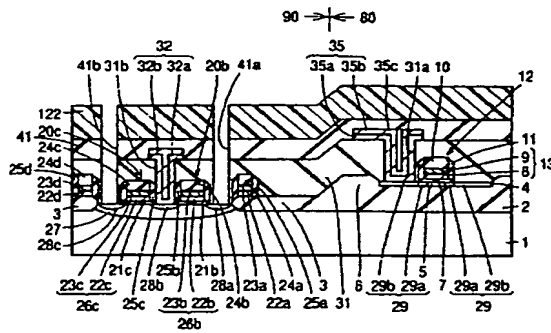
【図 15】



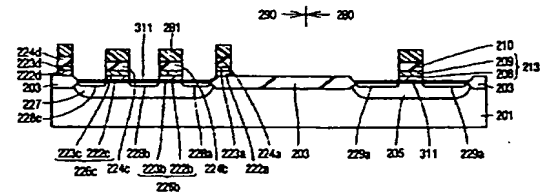
【図 16】



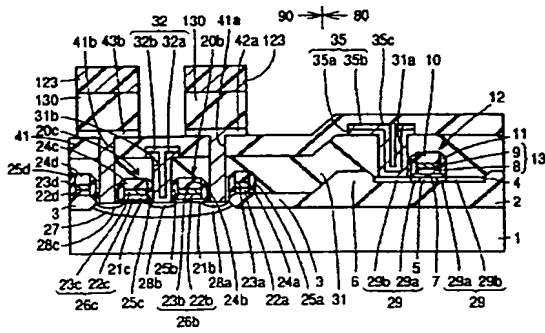
【図 17】



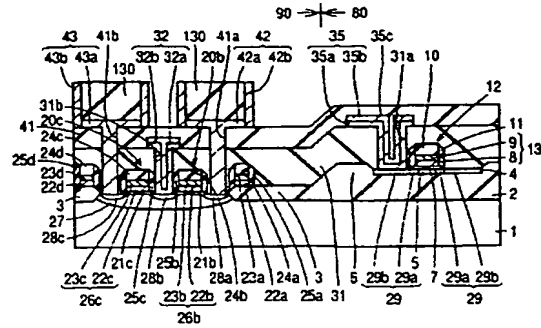
【図 30】



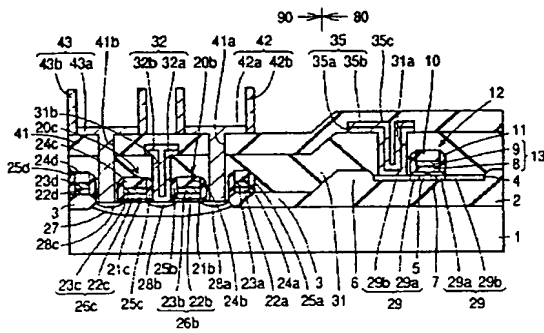
【図18】



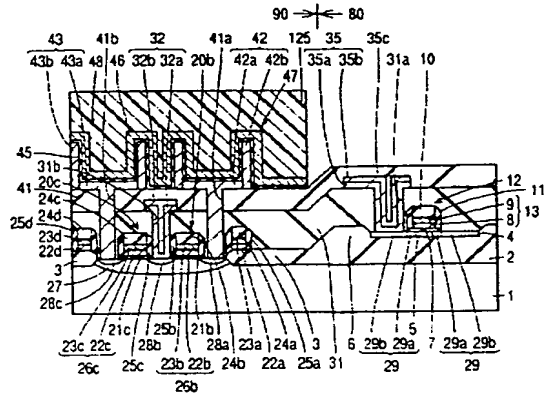
【図19】



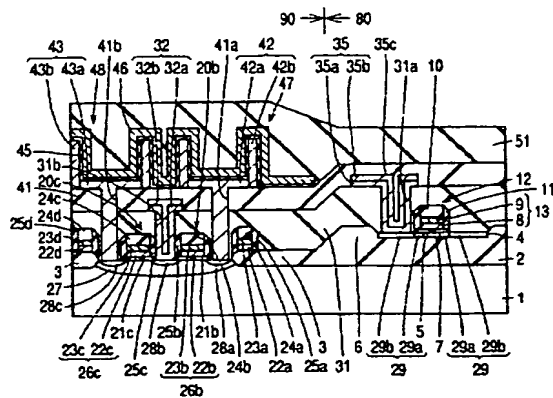
【図20】



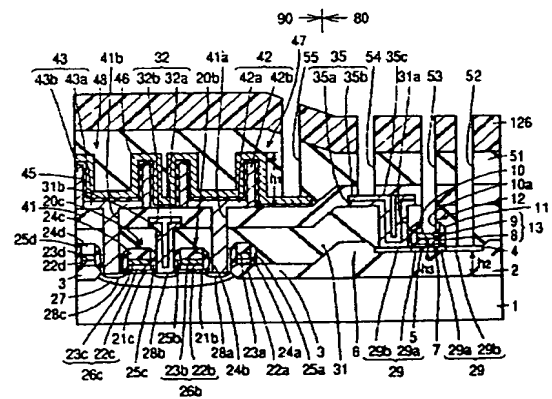
【図21】



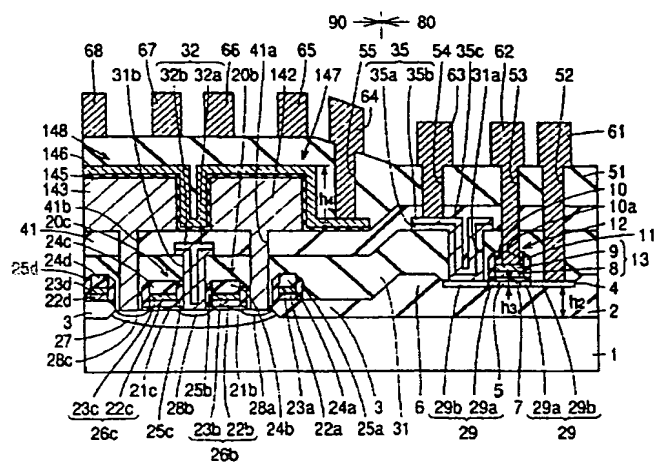
【図22】



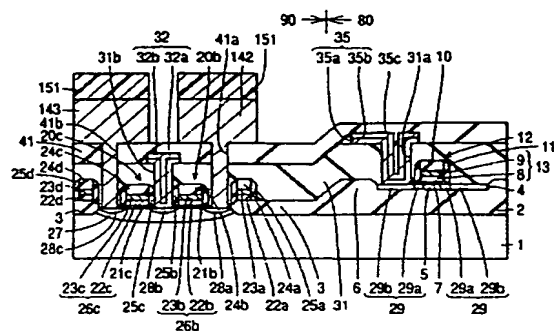
【図23】



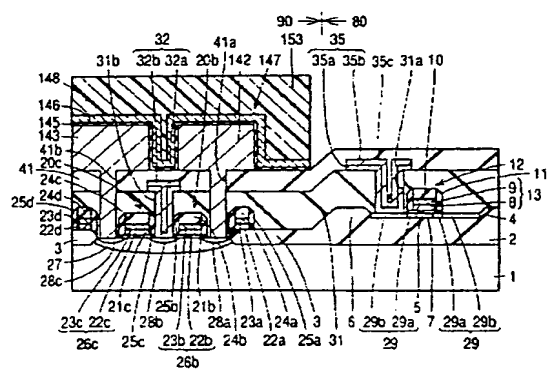
【圖 24】



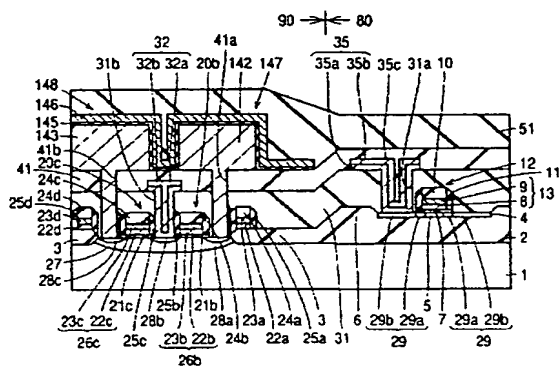
【图 25】



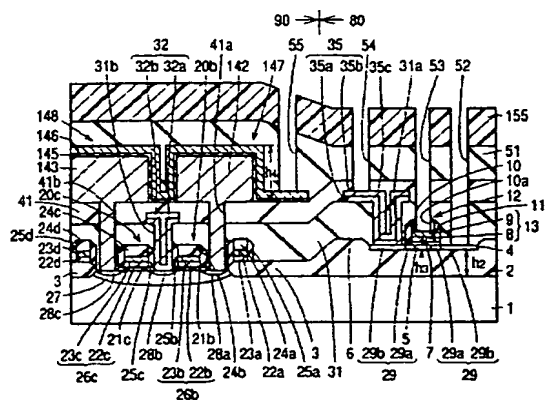
【图 26】



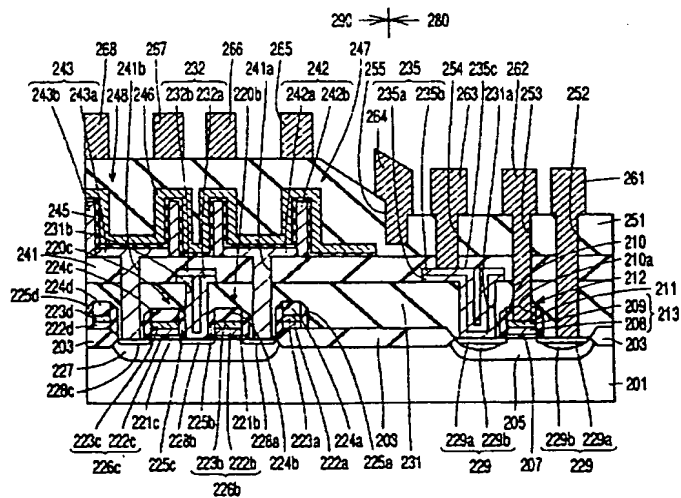
【图 27】



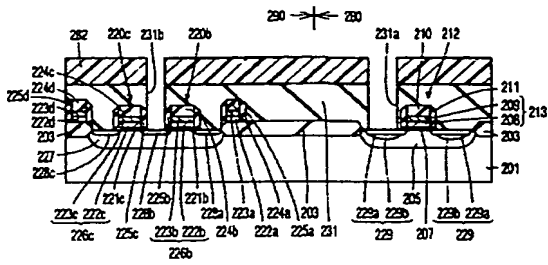
【图 28】



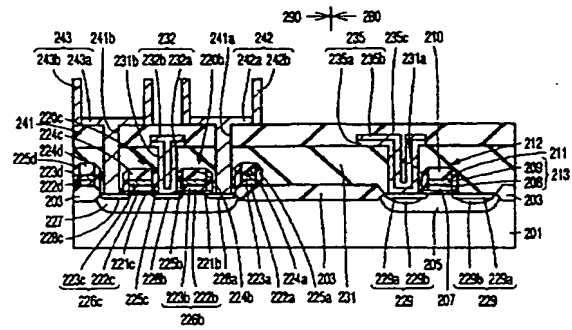
【图 29】



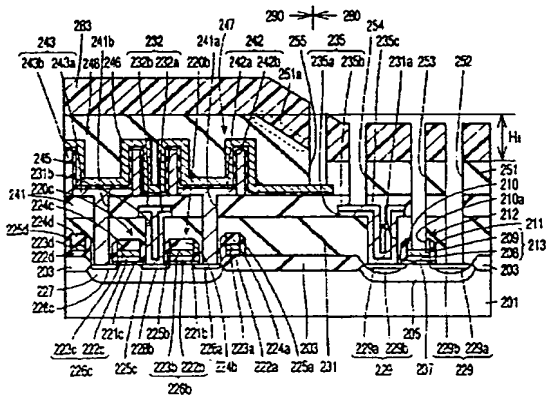
【図31】



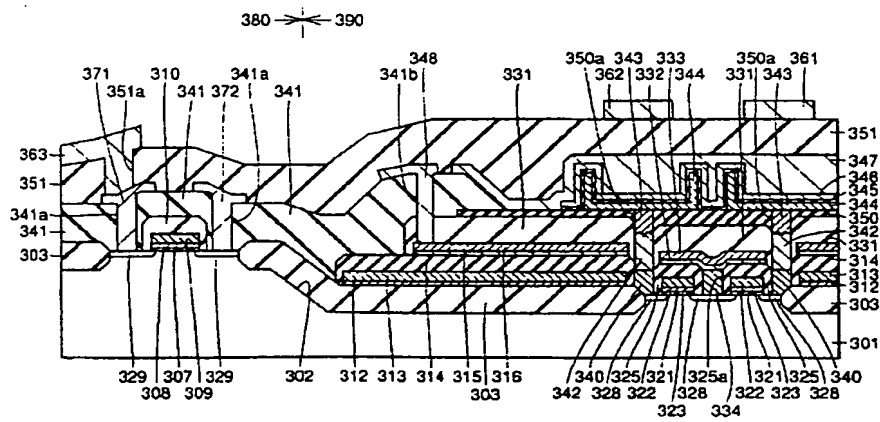
【図32】



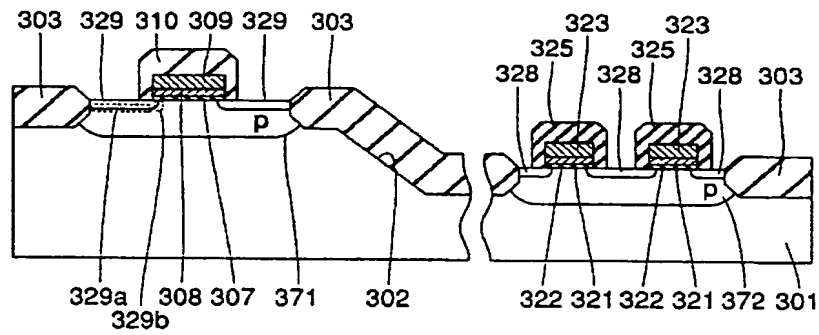
【図33】



【図34】



【図35】



フロントページの続き

Fターム(参考) 5F032 AA13 BA03 BA06 BA08 BB06
 CA03 CA17 DA24 DA28 DA30
 DA60 DA78
 5F083 AD21 AD24 AD42 AD48 AD49
 HA02 JA14 JA19 JA35 JA38
 JA53 LA10 MA06 MA16 MA18
 MA19 MA20 NA08 PR06 PR33
 PR36 PR43 PR44 PR45 PR53
 PR54 PR55 PR56 ZA06 ZA12